

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02086160 A**

(43) Date of publication of application: **27.03.90**

(51) Int. Cl

H01L 27/04

(21) Application number: **63236425**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **22.09.88**

(72) Inventor: **AKIMORI HIROYUKI**

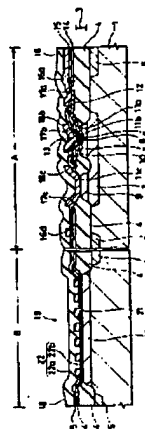
(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

PURPOSE: To make it easy to flatten an interlayer insulating film stuck on a large area MOS capacitor by constituting a conducting layer forming an upper electrode by using a thin lower conducting layer and a thick upper conducting layer patterned in a comb-teeth type.

CONSTITUTION: An insulating film 21 is formed on the upper layer of a diffusion layer 20; thereon, a conducting layer 22 as the upper layer of an MOS capacitor 19 is formed; this conducting layer 22 is formed as a two-layer structure composed of a thin lower conducting layer 22a and a thick upper conducting layer 22b whose thickness is equal to first layer Al wirings 16a-16d; the lower conducting layer 22a is formed of, e.g. polysilicon; the upper conducting layer 22b formed as the upper layer of the lower conducting layer 22a is formed of, e.g., Al-Si-Cu alloy; the lower conducting layer 22a is so patterned that the shape becomes a rectangle; the upper conducting layer 22b is so patterned that the shape becomes a comb-teeth type.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-86160

⑮ Int. Cl.⁵
H 01 L 27/04

識別記号 庁内整理番号
C 7514-5F

⑬ 公開 平成2年(1990)3月27日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭63-236425

⑱ 出 願 昭63(1988)9月22日

⑲ 発 明 者 秋 森 裕 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体基板に形成された絶縁膜と、前記絶縁膜上に形成された導電層と、前記絶縁膜の下方に形成された拡散層とからなるMOS容量を備え、前記導電層が薄い下部導電層と、くし歯状にパターンニングされた厚い上部導電層とからなることを特徴とする半導体装置。

2. 前記下部導電層が多結晶シリコンまたはシリサイドからなり、上部導電層がアルミニウムからなることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に、MOS容量を備えた半導体装置に適用して有効な技術に関するものである。

〔従来の技術〕

論理LSIの現状と動向については、例えば株式会社オーム社、昭和59年11月30日発行、「LSIハンドブック」P451～P484に詳細な記載がある。

従来より、バイポーラ形の高速論理LSIは、例えばECL(Emitter Coupled Logic)などのように、トランジスタと抵抗とを用いて論理回路を構成したものが主流となっている。しかし近年、高速コンピュータなどの分野においては、トランジスタと抵抗とコンデンサとを用いて論理回路を構成する、例えばVTLなどの論理LSIが採用されるようになった。

上記VTL回路を構成するコンデンサとしては、MOS容量が用いられる。このMOS容量は、半導体基板に形成された絶縁膜と、この絶縁膜上に形成された導電層からなる上部電極と、この絶縁膜の下方に形成された拡散層からなる下部電極とで構成され、大容量が得られるよう、通常、トランジスタの数十～数百倍の面積となっている。また、このMOS容量の上部電極には、アルミニ

ウム(A₂)が用いられ、通常、論理LSIを構成するA₂配線と同一のマスク工程で作成される。

一方、半導体装置の高密度化、高集積化に伴い、配線設計の自由度の増大や配線遅延の低減などを目的とする配線の多層化が必須の技術となり、上記したバイポーラ論理LSIでは、例えばA₂4層配線などの多層配線が実現されている。

配線の多層化を実現する際の課題の一つは、下地段差の急峻化に起因する配線の断線を回避することであり、その対策として、バイアススパッタやSOG(Spin On Glass)などによる層間絶縁膜の平坦化が不可欠となっている。

〔発明が解決しようとする課題〕

本発明者の検討によれば、上記MOS容量を備えたバイポーラ論理LSIには、下記のような問題がある。

すなわち、MOS容量の上部電極は、前記のように、A₂配線材料を用いて作成されるが、一般にバイポーラ論理LSIは、配線遅延の防止やエレクトロマイグレーション耐性の見地から、A₂

配線の膜厚が大きい。

ところが、このような膜厚の大きいA₂配線材料で大面積の電極を形成すると、この電極上に被着された層間絶縁膜を平坦化することが極めて困難となり、MOS容量の上方とその周囲とで層間絶縁膜に大きな段差が生じてしまう。その結果、この段差上に配設されるA₂配線の信頼性が大幅に低下するという問題が発生する。

本発明は、上記した問題点に着目してなされたものであり、その目的は、大面積のMOS容量の上に被着される層間絶縁膜を平坦化することのできる技術を提供することにある。

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、請求項1記載の発明は、MOS容量

の上部電極を構成する導電層を、薄い下部導電層と、くし歯状にパターンニングされた厚い上部導電層とで構成した半導体装置である。

〔作用〕

MOS容量の上部電極を構成する導電層を下部導電層と上部導電層との二層構造にしたとき、実効的な電極として機能するのは、下部導電層であり、上部導電層は、この下部導電層に給電する配線として機能する。従って、下部導電層の表面全域に上部導電層が形成されていなくとも、MOS容量の機能に支障はない。

本発明によれば、上部導電層をくし歯状にパターンニングしたことにより、大面積のMOS容量の上に被着される層間絶縁膜の平坦化を容易に行うことができる。

また、下部導電層を薄くしたことにより、MOS容量の上方とその周囲とで層間絶縁膜に大きな段差が生じるのを防止することができる。

〔実施例〕

第1図は、本発明の一実施例である半導体装置

に形成されたMOS容量の上部電極を示す半導体基板の要部平面図、第2図は、この半導体装置の要部断面図である。

本実施例の半導体装置は、MOS容量を備えたバイポーラゲートアレイである。

第2図に示すように、例えばp形シリコン単結晶からなる半導体基板1のトランジスタ形成領域Aには、例えばn⁺形の埋込み層2が形成されている。この埋込み層2の上層には、例えばn形シリコンからなるエピタキシャル層3が形成されている。このエピタキシャル層3の所定箇所には、例えばSiO₂からなるフィールド絶縁膜4が形成され、これにより、素子間および素子内が分離されている。このフィールド絶縁膜4の下方には、例えばp⁺形のチャネルストップ層5が形成されている。

フィールド絶縁膜4で囲まれた領域のエピタキシャル層3中には、例えばp形の真性ベース領域6と、例えばp⁺形のグラフトベース領域7とが形成され、真性ベース領域6中には、例えばn⁺

形のエミッタ領域8が形成されている。

そして、このエミッタ領域8と、真性ベース領域6と、真性ベース領域6の下方におけるエピタキシャル層3および埋込み層2からなるコレクタ領域とによって、npn形バイポーラトランジスタが構成されている。

埋込み層2の一部には、例えばn⁺形のコレクタ取り出し領域9が接続されている。

フィールド絶縁膜4に連なって形成された、例えばSiO₂からなる絶縁膜10には、前記グラフトベース領域7、エミッタ領域8およびコレクタ取り出し領域9に対応してそれぞれコンタクトホール11a~11cが開孔されている。

そして、コンタクトホール11aを介してグラフトベース領域7に、例えばポリシリコン膜からなるベース引き出し電極12が接続され、また、コンタクトホール11bを介してエミッタ領域8上に、例えばポリシリコンからなるエミッタ電極13が形成されている。

14、15は、例えばSiO₂からなる絶縁膜

からなる絶縁膜21が形成され、さらにその上層には、MOS容量19の上部電極である導電層22が形成されている。

この導電層22は、薄い膜厚の下部導電層22aと、前記第1層A₂配線16a~16dと同じ膜厚の上部導電層22bとの二層構造になっている。下部導電層22aは、例えば膜厚が2000~3000Å程度のポリシリコンからなり、例えば前記トランジスタのベース引き出し電極12またはエミッタ電極13用のポリシリコンで作成されたものである。

下部導電層22aの上層に形成された上部導電層22bは、例えば膜厚が1μm程度のAl-Si-Cu合金からなり、第1層A₂配線16a~16dと同一の工程で作成されたものである。

第1図に示すように、下部導電層22aは、その形状が矩形となるようにパターニングされ、一辺の長さが、例えば数十μmの面積となっている。一方、上部導電層22bは、その形状がくし歯状となるようにパターニングされ、その線幅は、

であり、その上層には、例えばAl-Si-Cu合金からなる第1層A₂配線16a~16dが形成されている。このうち、A₂配線16aは、絶縁膜15に開孔されたスルーホール17aを介してベース引き出し電極12に、A₂配線16bは、スルーホール17bを介してエミッタ電極13に、A₂配線16cは、スルーホール17cおよび前記コンタクトホール11cを介してコレクタ取り出し領域9にそれぞれ接続されている。

第1層A₂配線16a~16dの上層には、例えばバイアススパッタで被着したSiO₂からなる層間絶縁膜18が形成されている。

一方、上記トランジスタ形成領域Aの近傍のコンデンサ形成領域Bには、MOS容量19が形成されている。このMOS容量19の下部電極は、半導体基板1に形成された、例えばn⁺形の拡散層20であり、例えば前記トランジスタのコレクタ取り出し領域9と同一の工程で作成されたものである。

この拡散層20の上層には、例えばSiO₂か

例えば前記第1層A₂配線16a~16dと同じ数μmであり、スペースも同じく数μmである。

上記のように、MOS容量19の上部電極を構成する導電層22が下部導電層22aと上部導電層22bとの二層で構成されている場合、実効的な上部電極として機能するのは、下部導電層22aである。すなわち、上部導電層22bは、この下部導電層22aに給電する配線として機能するに過ぎないため、本実施例のように、下部導電層22aの表面全域に上部導電層22bが形成されていなくとも、十分な容量を得ることができる。

そして、本実施例によれば、上部導電層22bをくし歯状にパターニングしたことにより、大面積のMOS容量19の上に被着される層間絶縁膜18の平坦化を容易に行うことができる。

すなわち、従来のMOS容量のように、A₂導電層が大面積を占めている場合には、層間絶縁膜18を、例えばバイアススパッタで被着した際、導電層の上方の層間絶縁膜に段差が残ってしまうが、本実施例のように、上部導電層22bがくし

歯状にパターンニングされている場合には、各パターンの上方の層間絶縁膜18に段差が残らないため、MOS容量19の上方領域の層間絶縁膜18をほぼ完全に平坦化することができる。

また、下部導電層22aが極めて薄いため、MOS容量19の上方領域とその周囲とで層間絶縁膜18に大きな段差が生じることもない。

このように、本実施例によれば、MOS容量19の上方領域の層間絶縁膜18をほぼ完全に平坦化することができるため、この層間絶縁膜18の上層に配設されるA2配線(図示せず)の断線を確実に防止することができ、これにより、MOS容量19を備えたバイポーラゲートアレイの信頼性を向上させることができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

上部導電層は、例えば第3図に示すようなパタ

ーンであってもよく、要は、微細な線幅を有する複数のパターンが微細なピッチで離間配設されたものであれば、本発明の目的を達成することができる。

下部導電層は、ポリシリコンに限定されるものではなく、例えばシリサイドを用いてもよい。また、第1層A2配線の下層に、例えばTiN(チタンナイトライド)などのバリアメタルを敷くような場合には、このバリアメタルで下部導電層を形成することもできる。

さらに、MOS容量の上の層間絶縁膜を、例えばTEOS(tetraethylorthosilicate)などのような段差被覆性の良好な反応ガスを用いたCVDで被着することもできる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるバイポーラ論理LSIに適用した場合について説明したが、本発明は、これに限定されるものではなく、大面積のMOS容量を備えた他の半導体装置にも適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、MOS容量の上部電極を構成する導電層を、薄い下部導電層と、くし歯状にパターンニングされた厚い上部導電層とで構成することにより、このMOS容量の上に被着される層間絶縁膜を平坦化することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体装置に形成されたMOS容量の上部電極を示す半導体基板の要部平面図、

第2図は、この半導体装置の要部断面図、

第3図は、本発明の他の実施例である半導体装置に形成されたMOS容量の上部電極を示す半導体基板の要部平面図である。

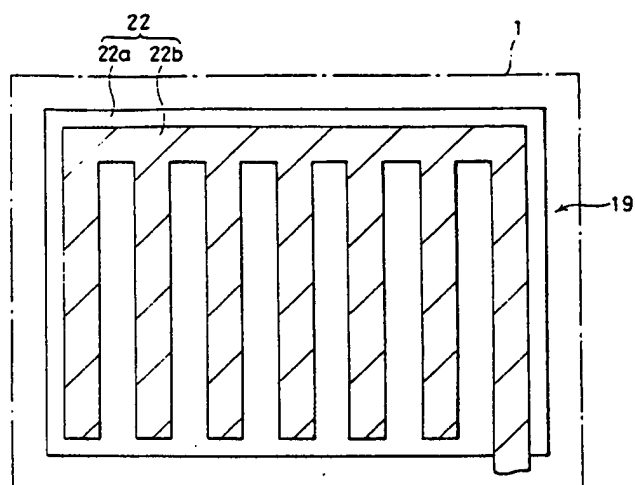
1・・・半導体基板、2・・・埋込み層、3・・・エピタキシャル層、4・・・フィールド絶縁膜、5・・・チャネルストップ層、6・・・真性

ベース領域、7・・・グラフトベース領域、8・・・エミッタ領域、9・・・コレクタ取り出し領域、10、14、15、21・・・絶縁膜、11a～11c・・・コンタクトホール、12・・・ベース引き出し電極、13・・・エミッタ電極、16a～16d・・・第1層A2配線、17a～17c・・・スルーホール、18・・・層間絶縁膜、19・・・MOS容量、20・・・拡散層(下部電極)、22・・・導電層(上部電極)、22a・・・下部導電層、22b・・・上部導電層、A・・・トランジスタ形成領域、B・・・コンデンサ形成領域。

代理人 弁理士 小 川 勝 男

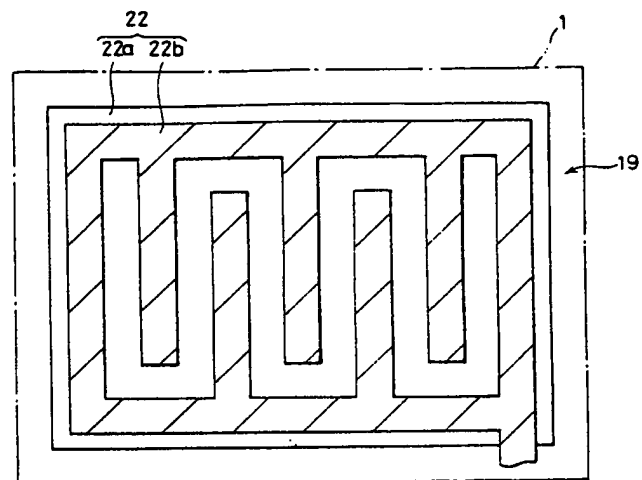


第 1 圖

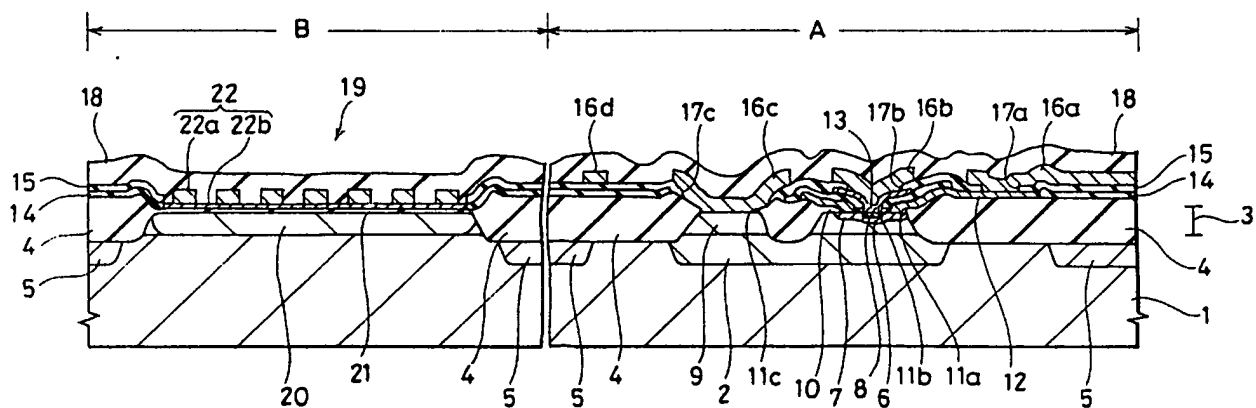


1: 半導体基板
19: MOS電極
22: 導電層
22a: 下部導電層
22b: 上部導電層

第 3 圖



第 2 圖



20: 拡散層
21: 絶縁膜